

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-181279

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/115			H 01 L 27/10	4 3 4
G 11 C 16/06			G 11 C 17/00	5 2 0 C
H 01 L 21/8247			H 01 L 29/78	3 7 1
29/788				
29/792				

審査請求 未請求 請求項の数9 OL (全11頁)

(21)出願番号	特願平7-307207
(22)出願日	平成7年(1995)11月27日
(31)優先権主張番号	特願平6-296304
(32)優先日	平6(1994)11月30日
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平7-103657
(32)優先日	平7(1995)4月27日
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平7-279107
(32)優先日	平7(1995)10月26日
(33)優先権主張国	日本 (JP)

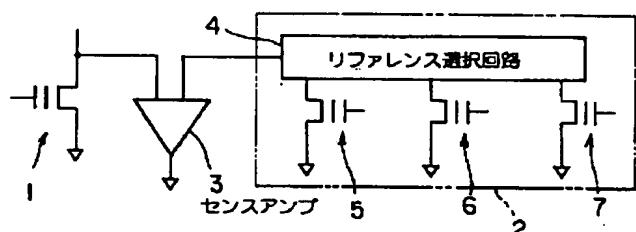
(71)出願人	000004123 日本鋼管株式会社 東京都千代田区丸の内一丁目1番2号
(72)発明者	竹内 信善 東京都千代田区丸の内一丁目1番2号 日本 本鋼管株式会社内
(74)代理人	弁理士 長谷川 和音

(54)【発明の名称】 リファレンス装置およびその製造方法、ならびにそれを利用したペリファイ方法

(57)【要約】

【課題】回路面積の増大等の問題を生じさせることなくデバイスの多様化に対応することができるリファレンス装置を提供することを目的とする。

【解決手段】本発明は半導体装置の電流または電圧を判定するためのリファレンス装置2を提供するものである。このリファレンス装置2は、しきい値が異なる複数のリファレンスセル5, 6, 7と、これらのうちの一つを選択する選択回路4とを備えている。例えば、このリファレンス装置2に流れる電流と、半導体セル1に流れる電流とをセンスアンプ3により比較することにより半導体装置の電流を判定する。



【特許請求の範囲】

【請求項1】 半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備えていることを特徴とするリファレンス装置。

【請求項2】 前記各リファレンスセルは、主面を有する第1導電型の半導体基板と、その主面に形成された第2導電型のソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上に絶縁膜を介して設けられたフローティングゲートと、その上に絶縁層を介して設けられたコントロールゲートとを有し、これらリファレンスセルのフローティングゲートとコントロールゲートとの間のキャパシタンスが複数のリファレンスセル間で異なっていることを特徴とする請求項1に記載のリファレンス装置。

【請求項3】 前記各リファレンスセルは、主面を有する第導電型の半導体基板と、その主面に形成された第2導電型のソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上に絶縁膜を介して設けられたフローティングゲートと、その上に絶縁層を介して設けられたコントロールゲートとを有し、これらリファレンスセルにおけるフローティングゲートのコントロールゲートに対向する面のコントロールゲートに対応する部分の面積が前記複数のリファレンスセル間で異なっていることを特徴とする請求項1に記載のリファレンス装置。

【請求項4】 半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、

前記各リファレンスセルは、主面を有する第1導電型の半導体基板と、その主面に形成された第2導電型のソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上に絶縁膜を介して設けられたフローティングゲートと、このフローティングゲートから突出するようにその上に連続して設けられた導電性キャップと、その上に絶縁層を介して設けられたコントロールゲートとを有し、

前記導電性キャップの面積が複数のリファレンスセル間で異なっていることを特徴とするリファレンス装置。

【請求項5】 前記各リファレンスセルの導電性キャップが、同一の導電層から形成されていることを特徴とする請求項4に記載のリファレンス装置。

【請求項6】 しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置の製造方法であって、

第1導電型の半導体基板上に、第1の絶縁膜を形成する工程と、

前記第1の絶縁膜上に各リファレンスセルのフローティングゲートとなる第1の導電膜を形成する工程と、
 前記第1の導電膜をエッチングして、各リファレンスセルのフローティングゲートを形成する工程と、
 前記半導体基板の主面に、各リファレンスセルのドレンおよびソースとなる拡散領域を形成する工程と、
 前記フローティングゲート間に第2の絶縁膜を形成する工程と、
 前記各リファレンスセルのフローティングゲートおよび
 10 第2の絶縁膜の上に、各リファレンスセルの導電性キャップとなる第2の導電膜を形成する工程と、
 前記各リファレンスセルの導電性キャップに対応しそれぞれ面積が異なる複数の開口部を有するマスクを用いてフォトリソグラフィーにより前記第2の導電膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なる導電性キャップをフローティングゲートから突出するように形成する工程と、
 前記第2の絶縁膜および前記導電性キャップの上に第3の絶縁膜を形成する工程と、
 20 前記第3の絶縁膜上にコントロールゲートとなる第3の導電膜を形成する工程とを有することを特徴とするリファレンス装置の製造方法。
 【請求項7】 しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置の製造方法であって、
 第1導電型の半導体基板上に、第1の絶縁膜を形成する工程と、
 前記第1の絶縁膜上に各リファレンスセルのフローティングゲートとなる第1の導電膜を形成する工程と、
 30 前記各リファレンスセルのフローティングゲートに対応しそれぞれ面積が異なる複数の開口部を有するマスクを用いてフォトリソグラフィーにより前記第2の導電膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なるフローティングゲートを形成する工程と、
 前記半導体基板の主面に、各リファレンスセルのドレンおよびソースとなる拡散領域を形成する工程と、
 前記フローティングゲート間に第2の絶縁膜を形成する工程と、
 40 前記第2の絶縁膜および前記導電性キャップの上に第3の絶縁膜を形成する工程と、
 前記第3の絶縁膜上にコントロールゲートとなる第3の導電膜を形成する工程とを有することを特徴とするリファレンス装置の製造方法。
 【請求項8】 半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、
 前記各リファレンスセルは、主面を有する半導体基板
 50 と、その主面に形成された読み出しトランジスタ部およ

びコントロールゲート部と、これら読み出しへトランジスタ部およびコントロールゲート部の上に設けられた共通のフローティングゲートとを備えた 1 poly 型 E P R O M 構造を有し、コントロールゲート部におけるフローティングゲートとアクティブ領域とが重なる部分の面積と、読み出しへトランジスタ部におけるフローティングゲートとアクティブ領域とが重なる部分の面積との比がリファレンスセル間で異なっていることを特徴とするリファレンス装置。

【請求項 9】 しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置を用いたベリファイ方法であって、前記複数のリファレンスセルおよびメモリセルに一定の電圧を印加し、その際の半導体装置の電流を各リファレンスセルの電流と比較することでベリファイを行うことを特徴とするリファレンス装置を利用したベリファイ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、フローティングゲート型不揮発性メモリなどの半導体装置の電流または電圧を判定するためのリファレンス装置およびその製造方法、ならびにそれを用いたベリファイ方法に関する。

【0002】

【従来の技術】 フローティングゲート型不揮発性半導体メモリ装置において、アレイ中のセルを「0」、「1」で判定する際、所定の条件下でセルに流れる電流と、標準トランジスタに流れる電流とを差動アンプで比較するが、この標準トランジスタをリファレンスセルと称している。

【0003】 このようなリファレンスセルは、アレイ中のセルとの相似性を保つため、アレイセルと全く同じ構造に形成されたり、コントロールゲートとフローティングゲートとが接続したいわゆるダミーセル型に形成されるのが一般的である。つまり、リファレンスセルアレイはセルアレイのミニチュア版となっている。

【0004】 また、ロジックデバイスの出力を判定するようなリファレンスにおいても、リファレンスレベルは、そのデバイスで使用しているトランジスタのしきい値に限られてしまうのが一般的である。

【0005】

【発明が解決しようとする課題】 ところで、近年、デバイスの特性が多様化しており、例えば多値メモリのように「0」、「0.5」、「1」などの判定が必要となってきた。

【0006】 このような要請に対し、従来のアプローチではセンス比の異なる複数のセンスアンプを用意してデバイスの多様化すなわち多値化に対応することになる。

【0007】 しかしながら、この方法では回路面積が増

加し、チップ面積の増大、コスト高につながるという問題がある。

【0008】 一方、不揮発性半導体メモリ装置において、プログラム後または消去後のメモリセルのしきい値を確認するベリファイ時には、ベリファイ電圧をベリファイしたい状態に応じて変えている。しかし、このようにしてベリファイを行う場合には、電圧供給回路の回路が複雑になってしまいうという問題がある。

【0009】 この発明はかかる事情に鑑みてなされたものであって、上述のような問題を生じさせることなくデバイスの多様化に対応することができるリファレンス装置およびその製造方法を提供することを目的とする。

【0010】 また、このようなりファレンス装置を利用して複雑な電圧設定を行うことなくメモリセルのベリファイを行うことができるベリファイ方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 本発明は、上記課題を解決するために、第 1 に、半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備えていることを特徴とするリファレンス装置を提供する。

【0012】 第 2 に、上記装置において、前記各リファレンスセルは、主面を有する半導体基板と、その主面に形成されたソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上に絶縁膜を介して設けられたフローティングゲートと、その上に設けられたコントロールゲートとを有し、これらリファレンスセルのフローティングゲートとコントロールゲートとの間のキャパシタンスが複数のリファレンスセル間で異なっていることを特徴とするリファレンス装置を提供する。

【0013】 第 3 に、上記装置において、前記各リファレンスセルは、主面を有する半導体基板と、その主面に形成されたソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上に絶縁膜を介して設けられたフローティングゲートと、その上に設けられたコントロールゲートとを有し、これらリファレンスセルにおけるフローティングゲートのコントロールゲートに対向する面のコントロールゲートに対応する部分の面積が前記複数のリファレンスセル間で異なっていることを特徴とするリファレンス装置を提供する。

【0014】 第 4 に、半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、前記各リファレンスセルは、主面を有する第 1 導電型の半導体基板と、その主面に形成された第 2 導電型のソースおよびドレインと、前記主面のソースおよびドレインの間のチャネル領域の上

に絶縁膜を介して設けられたフローティングゲートと、このフローティングゲートから突出するようにその上に連続して設けられた導電性キャップと、その上に絶縁層を介して設けられたコントロールゲートとを有し、前記導電性キャップの面積が複数のリファレンスセル間で異なることを特徴とするリファレンス装置を提供する。

【0015】第5に、上記装置において、各リファレンスセルの導電性キャップが、同一の導電層から形成されていることを特徴とするリファレンス装置を提供する。

【0016】第6に、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置の製造方法であって、第1導電型の半導体基板上に、第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に各リファレンスセルのフローティングゲートとなる第1の導電膜を形成する工程と、前記第1の導電膜をエッチングして、各リファレンスセルのフローティングゲートを形成する工程と、前記半導体基板の主面に、各リファレンスセルのドレインおよびソースとなる拡散領域を形成する工程と、前記フローティングゲート間に第2の絶縁膜を形成する工程と、前記各リファレンスセルのフローティングゲートおよび第2の絶縁膜の上に、各リファレンスセルの導電性キャップとなる第2の導電膜を形成する工程と、前記各リファレンスセルの導電性キャップに対応しそれぞれ面積が異なる複数の開口部を有するマスクを用いてフォトリソグラフィーにより前記第2の導電膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なる導電性キャップをフローティングゲートから突出するように形成する工程と、前記第2の絶縁膜および前記導電性キャップの上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にコントロールゲートとなる第3の導電膜を形成する工程とを有することを特徴とするリファレンス装置の製造方法を提供する。

【0017】第7に、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置の製造方法であって、第1導電型の半導体基板上に、第1の絶縁膜上に各リファレンスセルのフローティングゲートとなる第1の導電膜を形成する工程と、前記各リファレンスセルのフローティングゲートに対応しそれぞれ面積が異なる複数の開口部を有するマスクを用いてフォトリソグラフィーにより前記第2の導電膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なるフローティングゲートを形成する工程と、前記半導体基板の主面に、各リファレンスセルのドレインおよびソースとなる拡散領域を形成する工程と、前記フローティングゲート間に第2の絶縁膜を形成する工程と、前記第2

の絶縁膜および前記導電性キャップの上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上にコントロールゲートとなる第3の導電膜を形成する工程とを有することを特徴とするリファレンス装置の製造方法を提供する。

【0018】第8に、半導体装置の電流または電圧を判定するためのリファレンス装置であって、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、前記各リファレンスセル

10 は、主面を有する半導体基板と、その主面に形成された読み出しトランジスタ部およびコントロールゲート部と、これら読み出しトランジスタ部およびコントロールゲート部の上に設けられた共通のフローティングゲートとを備えた1 pol y型E P R O M構造を有し、コントロールゲート部におけるフローティングゲートとアクティブ領域とが重なる部分の面積と、読み出しトランジスタ部におけるフローティングゲートとアクティブ領域とが重なる部分の面積との比がリファレンスセル間で異なることを特徴とするリファレンス装置を提供する。

【0019】第9に、しきい値が異なる複数のリファレンスセルと、これらのうちの一つを選択する選択回路とを備え、半導体装置の電流または電圧を判定するためのリファレンス装置を用いたペリファイ方法であって、前記複数のリファレンスセルおよびメモリセルに一定の電圧を印加し、その際の半導体装置の電流を各リファレンスセルの電流と比較することでペリファイを行うことを特徴とするリファレンス装置を利用したペリファイ方法を提供する。

【0020】上記第1の発明によれば、しきい値が異なる複数のリファレンスセルのうち、いずれかを選択回路により選択してそれをセルの判定に用いるので、複数のセンスアンプを用いることなく、デバイスの多様化に対応することができる。

【0021】第2の発明によれば、リファレンスセルのフローティングゲートとコントロールゲートとの間のキャパシタンスを複数のリファレンスセル間で異ならしめることにより、ゲートカップル比を異ならせることができ、これによりリファレンスセルのしきい値を異なるものとすることができます。

【0022】第3の発明によれば、フローティングゲートにおけるコントロールゲートに対向する面のコントロールゲートに対応する部分の面積を複数のリファレンスセル間で異ならしめ、これによりフローティングゲートとコントロールゲートとの間のキャパシタンスを異ならしめるので、複雑な工程を付加することなく、リファレンスセルのしきい値を異なるものとすることができます。

【0023】第4の発明によれば、各リファレンスセルにおいて、フローティングゲートに連続し、かつフローティングゲートから突出するように導電性キャップを設

け、その面積を各リファレンスセル間で異ならしめ、これにより導電性キャップと一体となったフローティングゲートとコントロールゲートとの間のキャパシタンスを異ならしめるので、複雑な工程を付加することなく、リファレンスセルのしきい値を異なるものとすることができます。

【0024】第5の発明によれば、各リファレンスセルの導電性キャップが、同一の導電層から形成されるので、導電性キャップを簡単な工程で形成することができる。

【0025】第6および第7の発明によれば、单一のマスクに異なる大きさの開口部を用いることにより、各リファレンスセルのフローティングゲートまたはその上に連続して設けられる導電性キャップの面積を異ならしめることができるので、簡単な工程によりしきい値の異なるリファレンスセルを実現することができる。

【0026】第8の発明によれば、読み出しトランジスタ部およびコントロールゲート部と、これら読み出しトランジスタ部およびコントロールゲート部の上に設けられた共通のフローティングゲートとを備えた1 poly型E PROM構造の複数のリファレンスセルにおいて、コントロールゲート部におけるフローティングゲートとアクティブ領域とが重なる部分の面積と、読み出しトランジスタ部におけるフローティングゲートとアクティブ領域とが重なる部分の面積との比を各リファレンスセル間で異ならしめ、これによりゲートカップル比を異ならしめるので、この場合にも複雑な工程を付加することなく、リファレンスセルのしきい値を異なるものとすることができます。

【0027】第9の発明によれば、リファレンスセルのしきい値の違いをベリファイ電圧の違いに置き換えるので、複雑な電圧設定の必要がなくなる。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について具体的に説明する。

【0029】図1は本発明の一実施形態に係るリファレンス装置が組み込まれた判定回路の構成を示す図である。

【0030】この回路は、被判定半導体セル1、リファレンス装置2、およびこれらに接続されたセンスアンプ(差動アンプ)3とを備えている。このセンスアンプ3は、所定条件下で、セル1に流れる電流とリファレンス装置に流れる電流とを比較する。

【0031】リファレンス装置2は、リファレンス選択回路4と、それぞれしきい値が異なる3個のリファレンスセル5, 6, 7とを備えており、リファレンス選択回路4により、リファレンスセル5, 6, 7のいずれかが選択される。これらリファレンスセルは半導体セル1と同じ型の半導体であり、同一セルアレイ中に形成されている。

【0032】半導体セル1は複数配列されて図2に示すようなセルアレイ10を形成し、リファレンスセル5, 6, 7は図3に示すようなリファレンスセルアレイを形成している。

【0033】例えば、セル1として不揮発性半導体メモリを用い、上記リファレンス装置2のリファレンスセル5, 6, 7として同型の半導体を用いて、このリファレンス装置2をプログラムベリファイに用いる。そして、図4に示すように、ベリファイ電圧Vd0において、電流10がId1になったらプログラムを停止するセル、電流がId2になったらプログラムを停止するセル、電流がId3になったらプログラムを停止するセルをそれぞれリファレンスセル5, 6, 7に対応させることにより、プログラムしなかったセル、Id1のセル、Id2のセル、Id3のセルの4水準の多値メモリ形成を行うことができる。すなわち、複数のセンスアンプを用いることによる回路面積の増大を招くことなく、多値メモリに対応することができる。

【0034】なお、図5にこの際の半導体セルのI-d20特性を示す。また、図6にprogram lowの場合のセルのしきい値分布例を示す。ここで、program lowとは、メモリセルのしきい値電圧を低くする動作、またはそのしきい値電圧がそのようなプログラム動作の後に低くなる状態を意味する(“'94 Symposium on VLSI Technology” 97~98頁参照)。この文献に記載された典型的な実施例においては、プログラム動作において、-8Vが選択されたワード線に印加され、5Vまたは0Vがドレインに印加される。5Vが印加される場合には、フローティングゲートからドレインへの電子の放出が生じ、メモリーセルのしきい値電圧は低くなる。

【0035】図6はベリファイなしで時間モードで一斉消去した後にprogram lowを行った例であるが、V+0のベリファイをId1で行う場合には、プログラムレベルはId2に対応するV+1、Id3に対応するV+2を加えた3水準となる。

【0036】次に、リファレンスセルの構造例について説明する。

【0037】ここでは、Poly-Siキャップ型のフローティングゲートセルを用いた例について説明する。Poly40-Siキャップ型のフローティングゲートセルは米国特許第4833514号に示されており、例えば図7に示すような構造を有している。すなわち、p型の基板21の正面にn型のソース22及びドレイン23が形成されており、その間のチャネル領域24の上には、ゲート絶縁膜25を介してPoly-Siのフローティングゲート26が形成されており、さらにその上にPoly-Siキャップ27が形成されている。Poly-Siキャップ27の上には例えばONO(酸化物-窒化物-酸化物)からなる層間絶縁層28を介してPoly-Siからなるコントロールゲート29が形成されている。なお、フローティング

ゲート26の側方には絶縁層30が形成されている。
【0038】フローティングゲート26はチャネル領域24を覆うように設けられており、その上のPoly-Siキャップ27はソース22およびドレイン23の一部または全部、またはフィールド酸化膜等素子分離領域の一部をカバーする底状をなしている。そして、このPoly-Siキャップ27はフローティングゲート26の一部として機能する。このPoly-Siキャップ27を設けることにより、フローティングゲートおよびコントロールゲート間のキャパシタンスを大きくすることができる。

【0039】ここで、リファレンスセルのしきい値は、フローティングゲートおよびコントロールゲート間のキャパシタンスを変化させてゲートカップル比を変化させることによりコントロールすることができるから、上記構造においてPoly-Siキャップ27の面積を異ならしめ、Poly-Siキャップ27とコントロールゲート29とが重なり合う部分の面積を変化させることにより、しきい値を異ならしめることができる。

【0040】例えば、図8の(a)～(c)に示すように、Poly-Siキャップの面積を3種類にすることにより、リファレンスセルのしきい値を3水準にすることができる。すなわち、(a)に示すPoly-Siキャップ27を有するリファレンスセルを上述のリファレンスセル5に対応させ、(b)、(c)のように、順次長くした(すなわち面積を広くした)Poly-Siキャップ27'、27''を有するリファレンスセルを上述のリファレンスセル6、7に対応させる。

【0041】次に、これらのリファレンスセルの製造工程の一例について図9を参照しながら説明する。

【0042】まず、p型の基板21に例えば酸化シリコンで形成されたゲート絶縁膜を形成し、その上にフローティングゲート用の第1のPoly-Si膜を形成する。この第1のPoly-Si膜を一般的なフォトリソグラフィー工程によりエッチングして各リファレンスセルに対応するフローティングゲート26を形成する。次いで、イオン注入により、半導体基板21の主面に、各リファレンスセルのソース22およびドレイン23を形成する(図9(a)参照)。

【0043】次に、全面に絶縁膜を形成した後、エッチバックして各リファレンスセルのフローティングゲート26の間に、例えば酸化シリコンからなる絶縁膜30を形成する(図9(b)参照)。

【0044】次に、第2のPoly-Si膜を形成し、引き続き各リファレンスセルのPoly-Siキャップに対応してそれぞれ長さ(面積)が異なる複数の開口部を有するマスクを用いて、フォトリソグラフィーにより第2のPoly-Si膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なる導電性キャップ27、27'、27''をフローティングゲート26から突出するように形成する(図9(c)参照)。

【0045】次に、Poly-Siキャップ27、27'、27''および絶縁膜30の上に、例えばONO(酸化物-窒化物-酸化物)からなる層間絶縁層28を形成し、さらにその上にてPoly-Siからなるコントロールゲート29を形成する(図9(d)参照)。

【0046】以上の工程により、互いにしきい値が異なる複数のリファレンスセルを形成することができる。

【0047】このように、Poly-Siキャップの加工の際のフォトリソグラフィー工程で、Poly-Siキャップの長さ(面積)が異なるパターンをマスクに載せておくだけで、複雑な工程を付加することなく、極一般的な薄膜形成技術およびフォトリソグラフィー技術を用いてしきい値が異なる複数のリファレンスセルを製造することが可能である。すなわち、レチカル段階で大きさの異なるパターンを形成してマスクを改良するといった簡単な工程でリファレンスセルのしきい値を異ならしめることができる。

【0048】以上のセルは、フローティングゲートの上にPoly-Siキャップを設けたものであるが、このよう20なキャップを設けず、フローティングゲート自体にPoly-Siキャップの機能を持たせてもよい。このような構造のセルを図10～図12に示す。図10はこのようなセルのセルアレイの一部を示す平面図であり、図11はそのX-X'断面図、図12はY-Y'断面図である。これらの図に示すように、このセルにおいては、フローティングゲート37がソース32およびドレイン33の一部、および素子分離領域36の一部をカバーするようになっている。このセルの具体的な構造は図11、12に示されている。すなわち、p型の基板31の主面にn型のソース32及びドレイン33が形成されており、その間のチャネル領域34の上には、ゲート絶縁膜35が形成されている。そして、ゲート絶縁膜35の上にはPoly-Siのフローティングゲート37が形成されており、さらにその上に例えばONO(酸化物-窒化物-酸化物)からなる層間絶縁層38を介してPoly-Siからなるコントロールゲート39が形成されている。そして、これらのセルは素子分離領域36により分離されている。

【0049】このような構成のセルにおいては、フローティングゲート37の面積を変化させて、フローティングゲート37とコントロールゲート39とが重なり合う部分の面積を変化させることによりフローティングゲートおよびコントロールゲート間のキャパシタンスを変化させ、もってゲートカップル比を変化させることにより、しきい値をコントロールすることができる。この場合にも、フローティングゲートを形成する際に、上述したように、各リファレンスセルのフローティングゲートに対応してそれぞれ長さ(面積)が異なる複数の開口部を有するマスクを用いればよく、それ以外の複雑な手段を用いる必要はない。

40

50

【0050】すなわち、まず、p型の基板31に例えば酸化シリコンで形成されたゲート絶縁膜を形成し、その上にフローティングゲート用の第1のPoly-Si膜を形成し、各リファレンスセルのフローティングゲートに対応してそれぞれ長さ(面積)が異なる複数の開口部を有するマスクを用いて、フォトリソグラフィーにより第1のPoly-Si膜をエッチングし、各リファレンスセルにおいてそれぞれ面積の異なるフローティングゲートを形成する。

【0051】その後、拡散領域の形成、フローティングゲート間の絶縁膜の形成、層間絶縁膜の形成、およびコントロールゲートの形成を一般的な工程を用いて行うことにより、しきい値の異なる複数のリファレンスセルを形成することができる。

【0052】なお、この場合に、フローティングゲートおよびコントロールゲート間のキャパシタンスを異ならしめるためにコントロールゲートの幅を変化させてもよい。また、フローティングゲートをソース、ドレインの配列方向に直交する方向に延在させた例について示したが、ソース、ドレインの配列方向に延在するように設けてもよいことはいうまでもない。

【0053】次に、リファレンスセルの他の構造例について図13を参照して説明する。

【0054】ここでは、1993 VLSIシンポジウム52-Aによる1poly型EPROMをロジックデバイスのリファレンスセルとして用いた例について示す。このセルは、p型の基板41の一部にn-well42が形成され、n-well42以外の部分にn+型のソース43およびドレイン44が、n-well42の部分にソース45およびドレイン46がそれぞれ形成されており、これらの間のチャネル領域47、48の上に、ゲート酸化膜(図示せず)を介して共通のフローティングゲート49が設けられている。すなわち、NMOsとPMOSとが組み合わされたCMOS構造を有している。そして、ソース43およびドレイン44は電源51から電圧Veが印加されており、ソース45およびドレイン46は接地されており、NMOs部分が読み出しトランジスタとして機能し、PMOS部分がコントロールゲート部として機能する。なお、参照符号52は接地特性を良好にするための高濃度領域である。

【0055】このような1poly型EPROM構造においては、そのゲートカップル比が、しきい値イオン注入の注入量、ゲート酸化膜の膜厚や、コントロールゲート部(PMOS)におけるフローティングゲートとアクティブ領域とが重なる部分の面積と、読み出しトランジスタ部(NMOS)におけるフローティングゲートとアクティブ領域とが重なる部分の面積との比(以下アクティブ領域の面積比と記す)に依存する。従って、これらを異ならしめることによりゲートカップル比を変化させ、もってしきい値を異ならしめることができる。

【0056】この場合に、しきい値イオン注入量を変化させる手法およびゲート酸化膜の膜厚を変化させる手法の場合には、工程数が増加してしまうが、アクティブ領域の面積比を変化させる手法の場合には工程数を増加させる恐れはないのでより好ましい。すなわち、上記アクティブ領域の面積比は、素子分離領域形成フォトステップにおいてPMOSおよびNMOSのチャネル領域の面積(ゲート酸化膜面積)を変化させるか、またはフローティングゲート形成フォトステップでフローティングゲートの面積を変化させることにより多段化することができるが、これらの面積を変化させるためには、工程を増加させることなく上述した例と同様にフォトマスクを改良するという簡便な手法で十分である。

【0057】このように作製されたリファレンスセルは、ロジックとの相性が良いことは明らかである。例えば、リファレンスセルをロジック回路を製造するのと同じプロセスで一度に作製することができる。

【0058】このように本発明のリファレンス装置をロジックデバイスに用いる場合には、ロジック回路やその20プロックからの出力に対して、例えば3水準の判定を行うに際し、出力レベル I_{d1} 、 I_{d2} 、 I_{d3} に応じて出力先を変化させたり、出力レベルの違う回路A、Bに対し、Aに対しては $I_{d1}-I_{d2}$ をチェックするリファレンスとして、Bに対しては $I_{d3}-I_{d2}$ をチェックするリファレンスとして用いることもでき、その目的に応じて種々の応用が可能である。また、1poly型EPROM構造としてはCMOS構造に限ることなく、1poly型EPROM構造として知られているすべての構造のものを用いることができる。

【0059】次に、本発明の他の実施形態について説明する。

【0060】図14に、図1のリファレンス装置の各リファレンスセルおよびメモリセルに、これらに電圧を供給する電圧供給回路8を接続した状態を示す。

【0061】一般に、フラッシュメモリ等の不揮発性半導体メモリ装置において、プログラム後、または消去後のメモリセルのしきい値を確認する作業はペリファイと呼ばれている。

【0062】一般的に、メモリセルにおいては、しきい値が高い状態(V_{thH})と低い状態(V_{thL})を十分なマージンをとってペリファイするため、ペリファイ時にメモリセルのゲートに印加する電圧(ペリファイ電圧)は、ペリファイしたい状態に応じて変化させている。すなわち、図15に示すように、 V_{thH} のペリファイにはペリファイ電圧 V_{GH} を、 V_{thL} のペリファイにはペリファイ電圧 V_{GL} を与えている。ここで V_{GH} は V_{GL} よりも大きい。

【0063】一方、リファレンスセルには、ペリファイしたい状態にかかわらず一定の電圧 V_R が印加され、判定した状態のリファレンスとなるセル電流 I_R を流して

いる。すなわち、プログラム後または消去後のメモリセルにペリファイ電圧を与え、そのとき流れる電流を I_R と比較し、ペリファイを行うのである。ここで、ドレインに印加される電圧 V_D は、メモリセル、リファレンスセルともに同一である。

【0064】本実施形態のリファレンス装置の場合には、図16に示すように、ペリファイ電圧 V_{Gn} ($n = 1, 2, 3$) に対して、リファレンスセル電流 I_{dn} ($n = 1, 2, 3$) でペリファイしているわけである。

【0065】ところで、本発明では同一 V_R に対する各リファレンスセルの電流値 I_{Rn} は異なる。これを利用するに、図17に示すように、ペリファイ電圧を各セル状態毎に設定しなくともペリファイを行うことができるところがわかる。つまり、あるペリファイ電圧 V_{G0} におけるメモリセルのセル電流を各リファレンスセルのセル電流と比較することでペリファイを行うのである。いま、 $V_{G0} = V_R$ とすると、単一のゲート電圧で複数のしきい値がペリファイできることになる。これはつまり、リファレンスセルのしきい値の違いをペリファイ電圧の違いとして利用したものであり、この場合には複数のペリファイ電圧を用いなくともよいため、電圧供給回路のデバイスなどは必要なくなり、回路構成を簡単にすることができます。

【0066】さらに、このことを利用すると、図18に示すように、複数のペリファイ電圧でより多くのペリファイ状態、すなわち V_{thL1} 、 V_{thL2} 、 V_{thL3} 、および V_{thH1} 、 V_{thH2} 、 V_{thH3} をつくりだせることがわかる。このとき、メモリセルに印加されるペリファイ電圧はある V_{GL} 、 V_{GH} であり、リファレンスセルには V_R が印加されている。

【0067】ところで、フラッシュメモリではテールビットの問題がある（“'93 Symposium on VLSI Technology” 83～84頁参照）。特にフローティングゲートから電子を引き抜いた後の低しきい値セルは、リーク等の問題を引き起こす。この問題の対策として、現在、プログラムバック等の技術が提案されている。ここでプログラムバックとは、しきい値分布が広がっているメモリセル群に対して、全セルを一括消去して（F-Nトンネリングにより）、再度書き込みを行ない（例えば、ソース、ゲートを 0V とし、ドレインに 5V 印加して、フローティングゲートにホットエレクトロンを注入する。）、これによりしきい値の分布を小さくすることをいう（IEDM 91-307 11. 4. 1～1. 4. 4 参照）。しかし、これらは多値レベルの場合には有効ではなくなる。そこで、ペリファイ時にメモリセルのしきい値を狭い範囲に制限する技術が必要となる。従来方法では、ペリファイ電圧 V_G でメモリセル電流が I_R 以上であることをペリファイした後に、ペリファイ電圧 $V_G - \Delta V_G$ ($< V_G$) でメモリセル電流が I_R 以下であることをペリファイするなど多くの電圧レベ

ルでメモリセルのしきい値を制御する必要がある。

【0068】これに対して、本発明のリファレンス装置を用いれば、このようなペリファイ操作はより簡単になる。つまり、ペリファイ電圧を変えなくてもリファレンスセルを切り換えるだけで同じことが実現される。図16から明らかなように、リファレンスセルが異なればその電流レベルも異なるので、リファレンスセルの切り換えだけで、メモリレベルの上限、下限を設定できるのである。

10 【0069】なお、上記実施例では、リファレンスのしきい値レベルが 3 水準の場合について示したが、これに限らず必要に応じて適宜設定すればよい。また、リファレンスセルの型も上記例に示したものに限らないこともいうまでもない。つまり、上記例ではメモリデバイスに対しスタックトゲート型のリファレンスセル、ロジックデバイスに対して 1 poly 型 EEPROM 構造のリファレンスセルを用いているが、これに限らずプロセス設計しやすいようにリファレンスセルの型を選択すればよい。

【0070】さらに、以上の例では、同一リファレンスアレイ中に複数のしきい値を持つデバイスを配置したが、各しきい値レベルのリファレンスブロックを形成することも可能である。

【0071】

【発明の効果】以上説明したように、第1の発明によれば、しきい値が異なる複数のリファレンスセルのうち、いずれかを選択回路により選択してそれをセルの判定に用いるので、複数のセンスアンプを用いることなく、デバイスの多様化に対応することができ、回路面積の増大をもたらすことが回避される。

30 【0072】第2の発明によれば、リファレンスセルのフローティングゲートとコントロールゲートとの間のキャパシタンスを複数のリファレンスセル間で異ならしめることにより、ゲートカップル比を異ならせることができ、これによりリファレンスセルのしきい値を異なるものとすることができる。

【0073】第3ないし第6の発明によれば、フローティングゲートまたはそれに連続して設けられる導電性キャップのコントロールゲートに対向する面の面積を複数のリファレンスセル間で異ならしめ、これによりフローティングゲートとコントロールゲートとの間のキャパシタンスを異ならしめるので、複雑な工程を経ることなく、フォトマスクの改良のみでリファレンスセルのしきい値を異なるものとすることができる。

40 【0074】第7の発明によれば、1 poly 型 EEPROM 構造の複数のリファレンスセルにおいて、コントロールゲート部におけるフローティングゲートとアクティブ領域とが重なる部分の面積と、読み出しトランジスタ部におけるフローティングゲートとアクティブ領域とが重なる部分の面積との比を各リファレンスセル間で異ならしめ、これによりゲートカップル比を異ならしめるの

で、この場合にも複雑な工程を経ることなく、フォトマスクの改良のみでリファレンスセルのしきい値を異なるものとすることができる。

【0075】第8の発明によれば、リファレンスセルのしきい値の違いをベリファイ電圧の違いに置き換えるので、複雑な電圧設定の必要がなくなる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るリファレンス装置が組み込まれた判定回路の構成を示す図。

【図2】上記リファレンス装置が適用される半導体セルアレイの一例を示す模式図。

【図3】本発明のリファレンス装置が組み込まれたリファレンスアレイを示す模式図。

【図4】上記実施例に係るリファレンス装置のV-I特性を示す特性図。

【図5】上記実施例に係るリファレンス装置が適用される半導体セルV-I特性を示す図。

【図6】program low の場合のセルのしきい値分布例を示す図。

【図7】本発明のリファレンス装置に用いられるリファレンスセルの構造の一例を示す断面図。

【図8】図7のリファレンスセルのしきい値を異ならしめた例を示す図。

【図9】しきい値の異なる複数のリファレンスセルの製造方法を説明するための図。

【図10】本発明のリファレンス装置に用いられるリファレンスセルの構造の他の例を示す平面図。

【図11】図10のX-X'断面図。

【図12】図10のY-Y'断面図。

【図13】本発明のリファレンス装置に用いられるリファレンスセルの構造のさらに他の例を示す模式図。

【図14】図1のリファレンス装置の各リファレンスセルおよびメモリセルに、これらに電圧を供給する電圧供給回路を接続した状態を示す図。

【図15】一般的なメモリセルのベリファイ状況を示す図。

10 【図16】本発明のリファレンス装置における一般的なベリファイ状況を示す図。

【図17】リファレンス装置を利用した本発明のベリファイ方法を説明するための図。

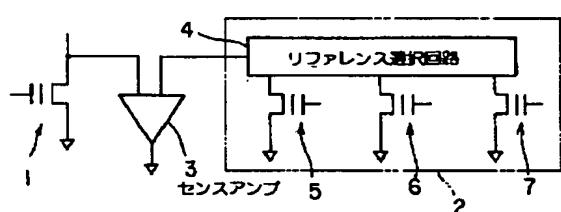
【図18】本発明のベリファイ方法を複数のベリファイ電圧を用いて行なう場合を示す図。

【符号の説明】

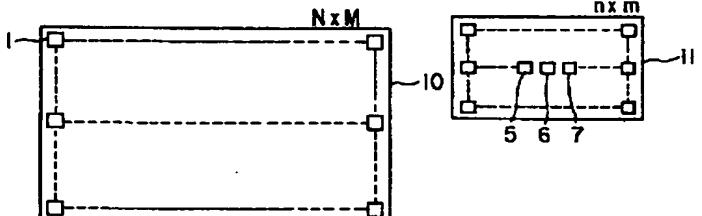
1 ……半導体セル、 2 ……リファレンス装置、 3 ……センスアンプ、 4 ……リファレンス選択回路、 5, 6, 7 ……リファレンスセル、 8 ……電圧供給回路、 10 ……半

20 導体セルアレイ、 11 ……リファレンスセルアレイ、 21, 31, 41 ……半導体基板、 22, 32, 43, 45 ……ソース、 23, 33, 44, 46 ……ドレイン、 24, 34, 47, 48 ……チャネル領域、 25, 35 ……ゲート絶縁膜、 26, 37, 49 ……フローティングゲート、 27 ……polySiキップ、 28, 38 ……層間絶縁層、 29, 39 ……コントロールゲート、 36 ……素子分離領域、 42 ……n-well

【図1】

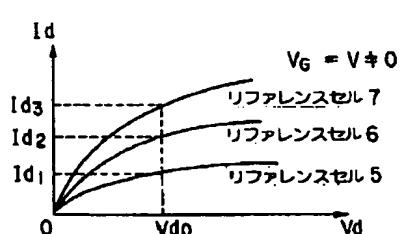


【図2】

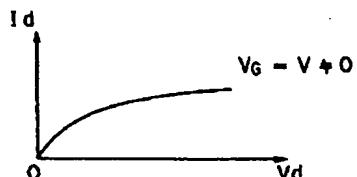


【図3】

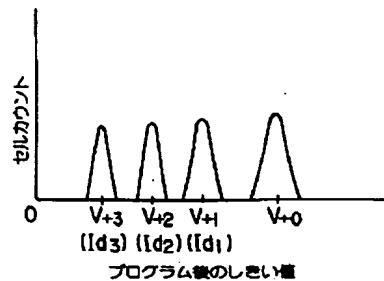
【図4】



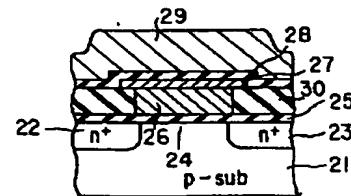
【図5】



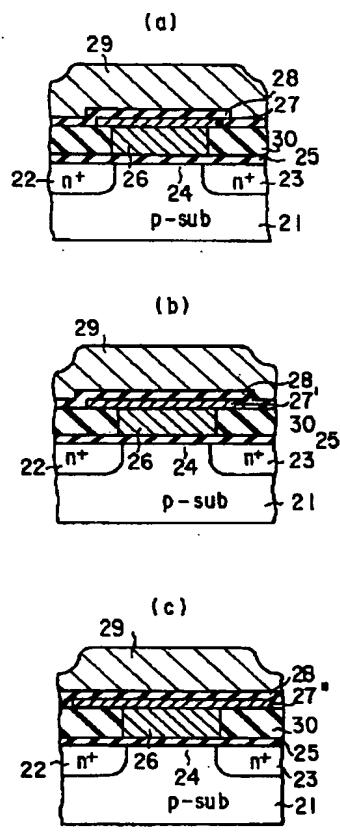
【図6】



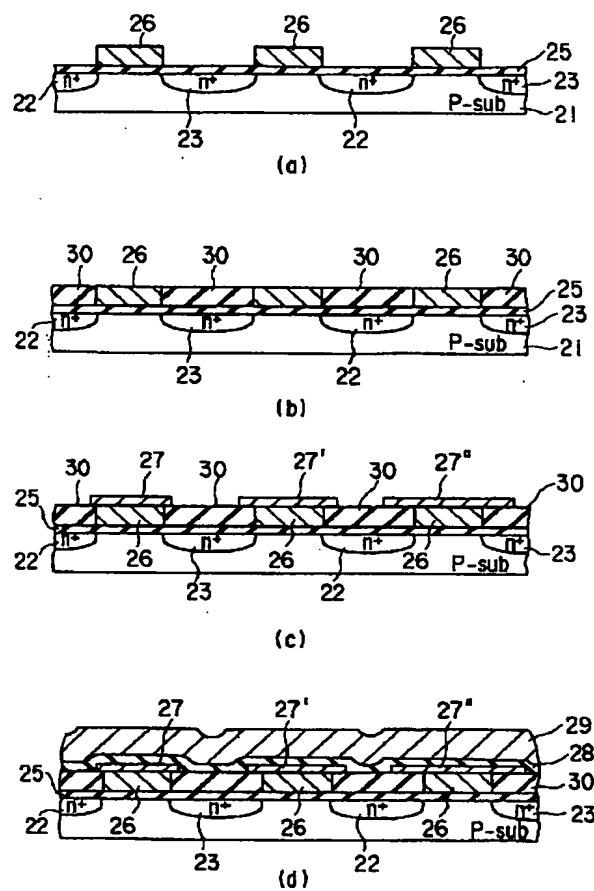
【図7】



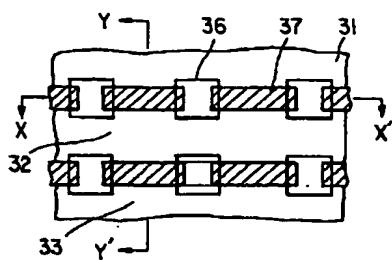
【図8】



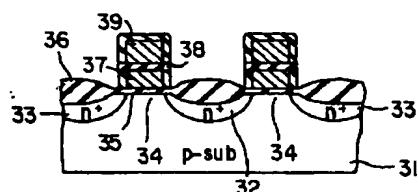
【図9】



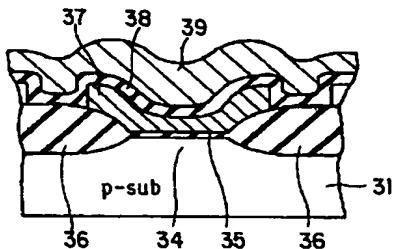
【図10】



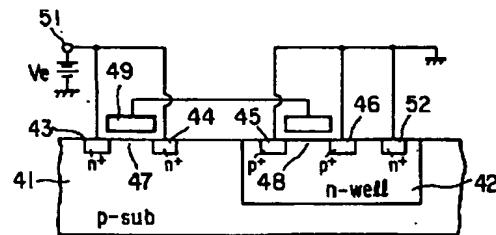
【図12】



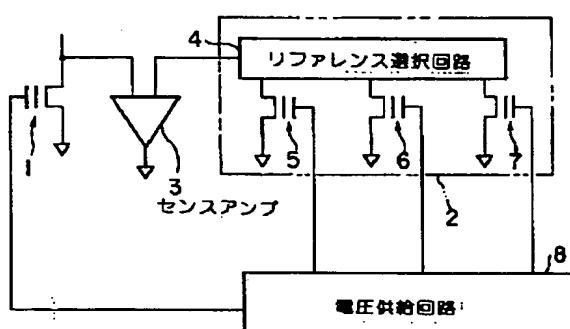
【図11】



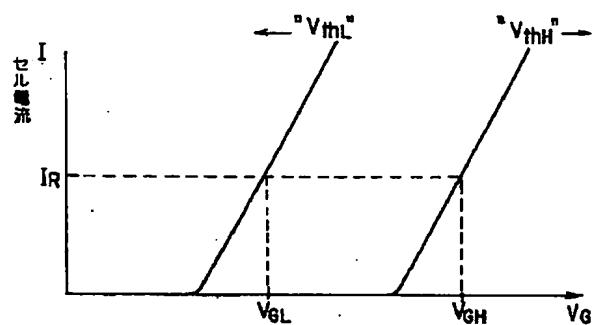
【図13】



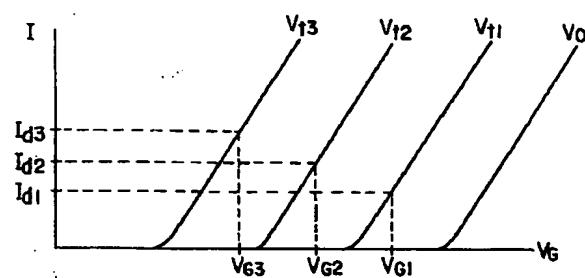
【図14】



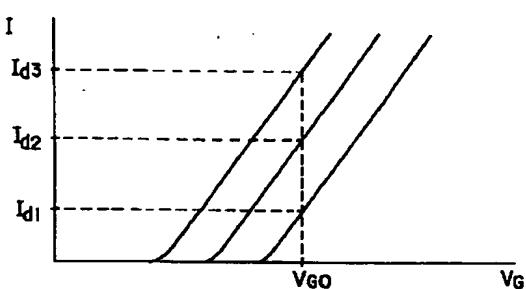
【図15】



【図16】



【図17】



【図18】

